

**KOREAN INDUSTRIAL  
PROPERTY OFFICE**

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial Property  
Office.

Application Number: **2003-0023352**

Date of Application: **14 April 2003**

Applicant(s): **Samsung Electronics Co., Ltd.**

**22 October 2003**

**COMMISSIONER**

## PATENT APPLICATION

[Document Name] Patent Application

[Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0016

[Filing Date] 2003.04.14.

[IPC] H01L

[Title] Delay Locked Loop Capable of Receiving External Clock Signal Directly

[Applicant]

Name: Samsung Electronics Co., Ltd.  
Applicant code: 1-1998-104271-3

[Attorney]

Name: Young-pil Lee  
Attorney's code: 9-1998-000334-6  
Reg. No. of General Power of Attorney: 1999-009556-9

Name: Sang-bin Jeong  
Attorney's code: 9-1998-000541-1  
Reg. No. of General Power of Attorney: 1999-009617-5

[Inventor]

Name: Geun-hee Cho  
I.D. No. 691114-1221220  
Zip Code: 441-390  
Address: 205-901, Hyundai Apt., 1240, Kwonseon-dong,  
Kwonseon-gu, Suwon-city, Kyungki-do,  
Republic of Korea  
Nationality: Republic of Korea

Name: Kyu-hyoun Kim  
I.D. No. 720520-1787539  
Zip Code: 442-470  
Address: 811-606, Hanshin Apt., Youngtong-dong, Paldal-gu,  
Suwon-city, Kyungki-do, Republic of Korea  
Nationality: Republic of Korea

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney  
Attorney

Young-pil Lee (seal)  
Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	19 Sheet(s)	19,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	28 Claim(s)	1,005,000 won
Total:		1,053,000 won

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0023352  
Application Number

출 원 년 월 일 : 2003년 04월 14일  
Date of Application APR 14, 2003

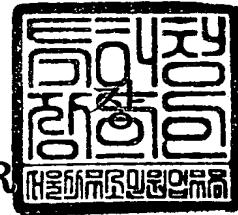
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0016
【제출일자】	2003.04.14
【국제특허분류】	H01L
【발명의 명칭】	외부 클럭 신호가 직접 입력되는 자연 동기 루프
【발명의 영문명칭】	Delay locked loop capable of receiving external clock signal directly
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	조근희
【성명의 영문표기】	CHO, Geun Hee
【주민등록번호】	691114-1221220
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1240번지 현대아파트 205-901
【국적】	KR
【발명자】	
【성명의 국문표기】	김규현
【성명의 영문표기】	KIM, Kyu Hyoun
【주민등록번호】	720520-1787539

【우편번호】 442-470  
【주소】 경기도 수원시 팔달구 영통동 한신아파트 811동 606호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 19 면 19,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 28 항 1,005,000 원  
【합계】 1,053,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

### 【요약서】

#### 【요약】

외부 클럭 신호가 직접 입력되는 자연 동기 루프가 개시된다. 본 발명의 실시예에 따른 자연 동기 루프는 레벨 선택부, 제어 신호 발생부 및 내부 클럭 신호 발생부를 구비하는 것을 특징으로 한다. 레벨 선택부는 외부 클럭 신호를 수신하고 제어 신호에 응답하여 상기 외부 클럭 신호를 그대로 출력하거나 또는 상기 외부 클럭 신호의 레벨을 변화시켜 변환 외부 클럭 신호로서 출력한다. 제어 신호 발생부는 제어 신호를 발생한다. 내부 클럭 신호 발생부는 상기 레벨 선택부의 출력 및 상기 외부 클럭 신호를 수신하여 상기 레벨 선택부의 출력의 위상에 동기된 내부 클럭 신호를 발생한다. 레벨 선택부는 선택 제어부 및 클럭 버퍼부를 구비한다. 상기 클럭 버퍼부는 상기 레벨 제어 신호의 레벨을 CMOS 레벨로 증폭시킨다. 상기 외부 클럭 신호는 TTL 레벨을 가지는 것을 특징으로 한다. 상기 레벨 선택부는 소정의 리피터(repeater) 회로를 통하여 상기 외부 클럭 신호를 수신하는 것을 특징으로 한다. 상술한 바와 같이 본 발명에 따른 자연 동기 루프는 외부 클럭 신호를 직접 수신하여 동작되는 경우 클럭 동기 속도를 빠르게 할 수 있으며 전류 소비도 줄일 수 있는 장점이 있다. 또한 외부 클럭 신호를 직접 수신하거나 증폭시켜 수신하는 동작을 선택적으로 할 수 있으므로 자연 동기 루프가 다양한 어플리케이션에 적용될 수 있는 장점이 있다.

#### 【대표도】

도 2

**【명세서】****【발명의 명칭】**

외부 클럭 신호가 직접 입력되는 자연 동기 루프{Delay locked loop capable of receiving external clock signal directly}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 실시예에 따른 자연 동기 루프를 설명하는 블록도이다.

도 2는 도 1의 자연 동기 루프의 구체적인 회로도이다.

도 3은 도 2의 자연 체인의 자연 셀을 설명하는 회로도이다.

도 4는 도 2의 제어 신호 발생부의 다른 구조를 나타내는 도면이다.

도 5(A)는 도 2의 제어 신호 발생부의 또 다른 구조를 나타내는 도면이다.

도 5(B)는 파워 업 신호의 파형을 나타내는 도면이다.

도 6은 본 발명의 실시예에 따른 자연 동기 루프를 나타내는 블록도이다.

도 7은 본 발명의 다른 실시예에 따른 자연 동기 루프를 나타내는 블록도이다.

도 8은 본 발명의 또 다른 실시예에 따른 자연 동기 루프를 나타내는 블록도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 지연 동기 루프에 관한 것으로서 특히, 외부 클럭 신호가 직접 입력되는 지연 동기 루프에 관한 것이다.
- <12> 메모리 소자와 메모리 컨트롤러 사이의 데이터 전송과 같이 클럭 주파수에 동기 되어 데이터를 전송하는 I/O 인터페이스 방식에서는 버스(bus)의 부하가 커지고 클럭 주파수가 빨라짐에 따라 클럭과 데이터간의 정확한 동기를 이루는 것이 매우 중요하다.
- <13> 즉, 데이터를 전송하는 각 콤포넌트에서 버스로 데이터가 실리는 데 걸리는 시간을 고려하여 데이터를 클럭의 에지(edge)혹은 센터(center)에 정확히 위치시켜야 한다. 이러한 목적으로 사용될 수 있는 회로에는 위상 동기 루프(Phase Locked Loop(PLL)) 와 지연 동기 루프(Delay Locked Loop(DLL))가 있다.
- <14> 위상 동기 루프와 지연 동기 루프의 구조적인 차이점은 위상 동기 루프는 동기 회로로서 전압 제어 발진기(VCO : Voltage Controlled Oscillator)를 사용하고 지연 동기 루프는 전압 제어 지연 라인(VCDL : Voltage Controlled Delay Line)을 사용한다는 점이다.
- <15> 따라서 일반적으로 전압 제어 발진기(VCO)를 내장한 위상 동기 루프는 주파수 체배(clock multiplication)가 가능한 반면 전압 제어 발진기에 지터(jitter)가 유입될 경우 지터(jitter)가 누적(accumulation)되는 단점이 있다.

<16> 이에 반해 단순한 지연 라인(delay line)을 사용하는 지연 동기 루프는 주파수 체배가 불가능하지만 위상 동기 루프와 같은 지터 누적(jitter accumulation)의 문제는 발생되지 않는다.

<17> 따라서 일반적으로 DRAM과 같은 반도체 메모리는 입력 주파수와 출력 주파수가 동일하므로 빠른 동기(clocking)와 낮은 지터(low jitter)특성을 가지는 지연 동기 루프를 사용한다.

<18> 그런데 지연 동기 루프는 외부 클럭 신호를 수신하는 경우 증폭 버퍼를 이용하여 외부 클럭 신호의 레벨을 증폭한 후 수신한다. 일반적으로 외부 클럭 신호는 TTL(Transistor-Transistor Logic) 레벨이며 증폭 버퍼는 TTL 레벨의 외부 클럭 신호를 CMOS 레벨로 증폭시킨다.

<19> 그러나 외부 클럭 신호를 수신하는 지연 동기 루프의 지연 라인의 지연 셀들이 차동 증폭기 탑입의 아날로그 셀이라면 TTL 레벨의 외부 클럭 신호를 직접 수신할 수 있으며 증폭 버퍼를 이용할 필요가 없다. 오히려 증폭 버퍼를 이용함으로써 버퍼링에 시간을 소비하고 또한 증폭 버퍼로 인한 전류 소비가 증가되는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<20> 본 발명이 이루고자하는 기술적 과제는 증폭 버퍼를 이용하여 외부 클럭 신호를 증폭하지 아니하고 외부 클럭 신호를 직접 수신하는 지연 동기 루프를 제공하는데 있다.

#### 【발명의 구성 및 작용】

<21> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 지연 동기 루프는 레벨 선택부, 제어 신호 발생부 및 내부 클럭 신호 발생부를 구비하는 것을 특징으로 한다.

- <22> 레벨 선택부는 외부 클럭 신호를 수신하고 제어 신호에 응답하여 상기 외부 클럭 신호를 그대로 출력하거나 또는 상기 외부 클럭 신호의 레벨을 변화시켜 변환 외부 클럭 신호로서 출력한다. 제어 신호 발생부는 제어 신호를 발생한다.
- <23> 내부 클럭 신호 발생부는 상기 레벨 선택부의 출력 및 상기 외부 클럭 신호를 수신하여 상기 레벨 선택부의 출력의 위상에 동기된 내부 클럭 신호를 발생한다.
- <24> 레벨 선택부는 선택 제어부 및 클럭 버퍼부를 구비한다. 선택 제어부는 상기 제어 신호에 응답하여 상기 외부 클럭 신호를 직접 상기 내부 클럭 신호 발생부로 인가하거나 또는 상기 외부 클럭 신호를 레벨 제어 신호로서 출력한다. 클럭 버퍼부는 상기 레벨 제어 신호에 응답하여 상기 변환 외부 클럭 신호를 발생한다.
- <25> 상기 선택 제어부는 상기 제어 신호의 제 1 레벨에 응답하여 상기 외부 클럭 신호를 상기 내부 클럭 신호 발생부로 직접 인가하는 제 1 전송 게이트, 상기 제어 신호의 제 2 레벨에 응답하여 상기 외부 클럭 신호를 상기 레벨 제어 신호로서 출력하는 제 2 전송 게이트 및 상기 제어 신호의 논리 레벨을 반전하여 상기 제 1 및 제 2 전송 게이트로 인가하는 인버터를 구비한다.
- <26> 상기 클럭 버퍼부는 상기 레벨 제어 신호의 레벨을 CMOS 레벨로 증폭시킨다. 상기 제어 신호 발생부는 명령 신호(command signal)들에 응답하여 상기 제어 신호를 발생하는 것을 특징으로 한다.
- <27> 상기 제어 신호는 MRS(Mode Register Set) 신호인 것을 특징으로 한다.

- <28> 상기 제어 신호 발생부는 제 1 전압에 연결되는 제 1 본딩 패드, 제 2 전압에 연결되는 제 2 본딩 패드 및 상기 제 1 본딩 패드 또는 상기 제 2 본딩 패드에 본딩 와이어를 이용하여 연결되며 상기 제어 신호를 발생하는 제 3 본딩 패드를 구비할 수 있다.
- <29> 상기 제어 신호 발생부는 제 1 전압에 제 1단이 연결되고 게이트에 파워 업 신호가 인가되며 제 2단이 제 1 노드에 연결되는 제 1 트랜지스터, 제 1단이 퓨즈를 통하여 상기 제 1 노드에 연결되고 게이트에 상기 파워 업 신호가 인가되며 제 2단이 제 2 전압에 연결되는 제 2 트랜지스터, 상기 제 1 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트가 제 2 노드에 연결되는 제 3 트랜지스터, 상기 제 1 노드에 입력이 연결되며 상기 제 2 노드에 출력이 연결되는 제 1 인버터 및 상기 제 2 노드의 출력을 반전하여 상기 제어 신호로서 출력하는 제 2 인버터를 구비하는 것을 특징으로 한다.
- <30> 상기 외부 클럭 신호는 TTL 레벨을 가지는 것을 특징으로 한다. 상기 내부 클럭 신호 발생부는 소정의 제 1 및 제 2 위상 제어 신호에 응답하여 상기 레벨 선택부의 출력을 상기 내부 클럭 신호로서 출력하는 위상 제어부, 상기 내부 클럭 신호의 위상을 상기 외부 클럭 신호의 위상과 비교하여 업다운 신호 및 모드 신호를 발생하는 케이프부 및 상기 모드 신호 및 상기 업다운 신호에 응답하여 상기 레벨 선택부의 출력의 위상을 제어하기 위한 상기 제 1 및 제 2 위상 제어 신호를 발생하는 위상 제어 신호 발생부를 구비하고, 상기 위상 제어부는 상기 레벨 선택부의 출력을 수신하는 지연 체인을 구비하는 것을 특징으로 한다. 상기 지연 체인은 작은 스윙(swing) 폭을 가지는 차동 증폭기 형태의 아날로그 지연 셀들을 구비하는 것을 특징으로 한다.
- <31> 상기 레벨 선택부는 소정의 리피터(repeater) 회로를 통하여 상기 외부 클럭 신호를 수신하는 것을 특징으로 한다.

- <32> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 지연 동기 루프는 레벨 선택부 및 내부 클럭 신호 발생부를 구비하는 것을 특징으로 한다. 레벨 선택부는 외부 클럭 신호를 수신하고 상기 외부 클럭 신호를 그대로 출력하거나 또는 상기 외부 클럭 신호의 레벨을 변화시켜 변환 외부 클럭 신호로서 출력한다.
- <33> 내부 클럭 신호 발생부는 상기 레벨 선택부의 출력 및 상기 외부 클럭 신호를 수신하여 상기 레벨 선택부의 출력의 위상에 동기된 내부 클럭 신호를 발생한다.
- <34> 상기 레벨 선택부는 상기 외부 클럭 신호를 수신하여 상기 변환 외부 클럭 신호를 출력하는 클럭 버퍼부, 상기 외부 클럭 신호를 상기 내부 클럭 신호 발생부로 직접 인가하는 제 1 메탈 라인 및 상기 외부 클럭 신호를 상기 클럭 버퍼부로 인가하는 제 2 메탈 라인을 구비하고, 공정 초기단계에서 상기 제 1 메탈 라인 및 상기 제 2 메탈 라인 중 하나만 연결되고 나머지 하나는 끊어지는 것을 특징으로 한다.
- <35> 상기 레벨 선택부는 상기 외부 클럭 신호를 수신하여 상기 변환 외부 클럭 신호를 출력하는 클럭 버퍼부, 상기 외부 클럭 신호를 수신하는 제 1 패드 ;
- <36> 상기 외부 클럭 신호를 수신하는 제 2 패드, 상기 제 1 패드에 대응되며 상기 내부 클럭 신호 발생부에 연결되는 제 3 패드 및 상기 제 2 패드에 대응되며 상기 클럭 버퍼부에 연결되는 제 4 패드를 구비하고, 공정 초기 단계에서 상기 제 1 패드와 상기 제 3 패드 및 상기 제 2 패드와 상기 제 4 패드 중 한 쌍이 본딩 와이어에 의해서 연결되는 것을 특징으로 한다.
- <37> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 지연 동기 루프는 위상 제어부, 궤환부 및 위상 제어 신호 발생부를 구비한다.

- <38> 위상 제어부는 소정의 제 1 및 제 2 위상 제어 신호에 응답하여 외부 클럭 신호의 위상을 제어하여 내부 클럭 신호로서 출력한다. 궤환부는 상기 내부 클럭 신호의 위상을 상기 외부 클럭 신호의 위상과 비교하여 업다운 신호 및 모드 신호를 발생한다.
- <39> 위상 제어 신호 발생부는 상기 모드 신호 및 상기 업다운 신호에 응답하여 상기 외부 클럭 신호의 위상을 제어하기 위한 상기 제 1 및 제 2 위상 제어 신호를 발생한다.
- <40> 상기 위상 제어부는 상기 레벨 선택부의 출력을 수신하는 지연 체인을 구비하며, 상기 외부 클럭 신호는 외부로부터 상기 위상 제어부로 직접 인가되는 것을 특징으로 한다.
- <41> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <42> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <43> 도 1은 본 발명의 실시예에 따른 지연 동기 루프를 설명하는 블록도이다.
- <44> 도 1을 참조하면, 본 발명의 제 1 실시예에 따른 지연 동기 루프(100)는 레벨 선택부(110), 제어 신호 발생부(120) 및 내부 클럭 신호 발생부(130)를 구비한다.
- <45> 레벨 선택부(110)는 외부 클럭 신호(EXCLK)를 수신하고 제어 신호(CTRL)에 응답하여 외부 클럭 신호(EXCLK)를 그대로 출력하거나 또는 외부 클럭 신호(EXCLK)의 레벨을 변화시켜 변환 외부 클럭 신호(CHEXCLK)로서 출력한다.

- <46>      제어 신호 발생부(120)는 제어 신호(CTRL)를 발생한다. 제어 신호(CTRL)를 이용하여 외부 클럭 신호(EXCLK)를 내부 클럭 신호 발생부(130)로 직접 입력하거나 또는 외부 클럭 신호(EXCLK)의 레벨을 변화시켜 내부 클럭 신호 발생부(130)로 인가할 수 있다.
- <47>      제어 신호(CTRL)를 발생시키는 방법은 다양하며 후술된다.
- <48>      내부 클럭 신호 발생부(130)는 레벨 선택부의 출력(LVLOUT) 및 외부 클럭 신호(EXCLK)를 수신하여 레벨 선택부의 출력(LVLOUT)의 위상에 동기 된 내부 클럭 신호(INTCLK)를 발생한다. 레벨 선택부(110), 제어 신호 발생부(120) 및 내부 클럭 신호 발생부(130)의 동작은 도 2를 이용하여 상세하게 설명된다.
- <49>      도 2는 도 1의 자연 동기 루프의 구체적인 회로도이다.
- <50>      먼저 내부 클럭 신호 발생부(130)의 동작이 설명된다. 내부 클럭 신호 발생부(130)는 위상 제어부(240), 궤환부(250) 및 위상 제어 신호 발생부(260)를 구비한다.
- <51>      위상 제어부(240)는 소정의 제 1 및 제 2 위상 제어 신호(PHS1, PHS2)에 응답하여 레벨 선택부의 출력(LVLOUT)을 내부 클럭 신호(INTCLK)로서 출력한다. 위상 제어부(240)는 제 1 위상 제어 신호(PHS1)에 의하여 수신되는 레벨 선택부의 출력(LVLOUT)의 위상을 자연시키는 자연 체인(241)과 텝/레지스터(243)와 제 2 위상 제어 신호(PHS2)에 의하여 상기 레벨 선택부의 출력(LVLOUT)의 위상을 제어하는 보간기(245)와 레지스터(247)를 구비한다.
- <52>      궤환부(250)는 위상 제어부(240)에서 출력되는 내부 클럭 신호(INTCLK)의 위상을 외부 클럭 신호(EXCLK)의 위상과 비교하여 업다운 신호(UDS) 및 모드 신호(MODES)를 발생한다. 내부 클럭 신호(INTCLK)는 자연 동기 루프(200)에 연결되는 다른 회로로 인가되는 신호이며 내부 클럭 신호(INTCLK)의 위상을 외부 클럭 신호(EXCLK)의 위상과 동기 시키는 것이 자연 동기 루프

(200)의 목적이다. 케환부(250)는 위상 검출기(251)와 지연 복사회로(replica delay)(253)를 구비한다.

<53> 위상 제어 신호 발생부(260)는 모드 신호(MODES) 및 업다운 신호(UDS)에 응답하여 레벨 선택부의 출력(LVLOUT)의 위상을 제어하기 위한 제 1 및 제 2 위상 제어 신호(PHS1, PHS2)를 발생한다. 위상 제어 신호 발생부(260)는 모드 선택부(261) 및 멀티플렉서(263)를 구비한다.

<54> 내부 클럭 신호(INTCLK)가 지연 복사 회로(253)를 통하여 위상 검출기(251)로 인가된다. 위상 검출기(251)는 외부 클럭 신호(EXCLK)와 내부 클럭 신호(INTCLK)의 위상을 비교하여 업다운 신호(UDS) 및 모드 신호(MODES)를 발생한다.

<55> 모드 선택부(261)는 레벨 선택부의 출력(LVLOUT)의 위상을 큰 위상 간격으로 제어할 것인지 미세한 위상 간격으로 제어할 것인지를 정한다. 레벨 선택부의 출력(LVLOUT)의 위상을 큰 위상 간격으로 제어할 경우 지연 체인(241)이 이용되고 미세한 위상 간격으로 제어할 경우 보간기(245)가 이용된다.

<56> 멀티플렉서(263)는 모드 선택부(261)의 출력에 응답하여 지연 체인(241)을 제어할 제 1 위상 제어 신호(PHS1)를 발생한다. 업다운 신호(UDS)와 제 2 위상 제어 신호(PHS2)는 동일한 신호이다. 따라서 위상 검출기(251)의 비교 결과에 응답하여 업다운 신호(UDS)는 보간기(245)를 제어한다.

<57> 레벨 선택부의 출력(LVLOUT)을 지연 체인(241)을 이용하여 큰 위상 간격으로 제어하고 보간기(245)를 이용하여 작은 위상간격으로 제어하여 레벨 선택부의 출력(LVLOUT)과 동일한 위상을 가지는 내부 클럭 신호(INTCLK)를 발생한다.

<58> 외부 클럭 신호(EXCLK)를 직접 내부 클럭 신호 발생부(130)로 인가하거나 또는 외부 클럭 신호(EXCLK)의 레벨을 변환시킨 변환 외부 클럭 신호(CHEXCLK)를 내부 클럭 신호 발생부(130)로 인가하기 위하여 레벨 선택부(110)는 선택 제어부(210) 및 클럭 버퍼부(220)를 구비한다.

<59> 선택 제어부(210)는 제어 신호(CTRL)에 응답하여 외부 클럭 신호(EXCLK)를 직접 내부 클럭 신호 발생부(130)로 인가하거나 또는 외부 클럭 신호(EXCLK)를 레벨 제어 신호(LVLCTRL)로서 출력한다.

<60> 좀 더 설명하면, 선택 제어부(210)는 제어 신호(CTRL)가 제 1 레벨로 인가되면 외부 클럭 신호(EXCLK)를 내부 클럭 신호 발생부(130)로 직접 인가하는 제 1 전송 게이트(TG1)와 제어 신호(CTRL)가 제 2 레벨로 인가되면 외부 클럭 신호(EXCLK)를 레벨 제어 신호(LVLCTRL)로서 출력하는 제 2 전송 게이트(TG2) 및 제어 신호(CTRL)의 논리 레벨을 반전하여 제 1 및 제 2 전송 게이트(TG1, TG2)로 인가하는 인버터(230)를 구비한다.

<61> 제어 신호(CTRL)가 제 1 레벨로 발생되면 제 1 전송 게이트(TG1)가 턴 온 되어 외부 클럭 신호(EXCLK)가 내부 클럭 신호 발생부(130)의 지연 체인(241)으로 직접 인가된다. 지연 체인(241)은 작은 스윙(swing) 폭을 가지는 차동 증폭기 형태의 아날로그 지연 셀들을 구비한다. 따라서 TTL 레벨을 가지는 외부 클럭 신호(EXCLK)가 직접 입력되어도 동작에 문제가 없다.

<62> 제어 신호(CTRL)가 제 2 레벨로 발생되면 제 2 전송 게이트(TG2)가 턴 온 되어 외부 클럭 신호(EXCLK)가 레벨 제어 신호(LVLCTRL)로서 클럭 버퍼부(220)로 출력된다.

- <63> 클럭 버퍼부(220)는 레벨 제어 신호(LVLCTRL)에 응답하여 변환 외부 클럭 신호(CHEXCLK)를 발생한다. 클럭 버퍼부(220)는 레벨 제어 신호(LVLCTRL)의 레벨을 CMOS 레벨로 증폭시킨다. 즉, 클럭 버퍼부(220)는 증폭기의 기능을 한다.
- <64> 제어 신호(CTRL)의 레벨에 따라서 TTL 레벨의 외부 클럭 신호(EXCLK)가 직접 지연 체인(241)으로 인가되거나 또는 TTL 레벨의 외부 클럭 신호(EXCLK)가 CMOS 레벨로 증폭되어 지연 체인(241)으로 인가된다.
- <65> 제어 신호(CTRL)는 제어 신호 발생부(120)에 의하여 그 레벨이 제어된다. 제어 신호 발생부(120)는 명령 신호(command signal)들에 응답하여 제어 신호(CTRL)를 발생한다. 즉 제어 신호(CTRL)는 명령 신호들의 조합에 의하여 발생되는 MRS(Mode Register Set) 신호일 수 있다.
- <66> 제어 신호(CTRL)는 명령 신호들의 조합에 의하여 발생되는 것 이외에도 제어 신호 발생부(120)의 구조에 따라 다양하게 발생될 수 있다. 제어 신호 발생부(120)의 다른 구조에 대해서는 후술된다.
- <67> 제어 신호(CTRL)를 제 1 레벨로 발생시켜 외부 클럭 신호(EXCLK)를 직접 지연 체인(241)으로 인가하는 경우 클럭 버퍼부(220)를 거치지 아니하므로 클럭 버퍼부(220)에 의하여 소모되는 지연 시간을 줄일 수 있는 장점이 있다.
- <68> 특히, 지역 동기 루프(200)가 파워 다운 모드에서 다시 동작 모드로 턴 온 되는 경우의 턴 온 속도를 빠르게 할 수 있다. 또한 클럭 버퍼부(220)는 턴 오프 되므로 클럭 버퍼부(220)에 의하여 소비되는 전류도 줄일 수 있다.

- <69> TTL 레벨의 외부 클럭 신호(EXCLK)를 직접 지연 체인(241)으로 입력하는 경우, 외부 클럭 신호(EXCLK)가 입력 핀을 통하여 입력된 후 지연 체인(241)까지 전송되는 버스 라인이 길게 되면 입력 핀의 입력 커판시턴스가 커지는 문제가 발생된다.
- <70> 입력 임피던스가 커지면 작은 스윙 폭을 가지는(small swing) TTL 레벨의 외부 클럭 신호(EXCLK)의 기울기가 작아지고 스퀴(skew)가 커지게 되는 문제가 발생된다.
- <71> 이러한 문제를 해결하기 위하여 레벨 선택부(110)는 소정의 리피터(repeater) 회로(270, 280)를 통하여 외부 클럭 신호(EXCLK)를 수신한다. 리피터 회로(270, 280)에 의하여 외부 클럭 신호(EXCLK)의 기울기를 크게 유지할 수 있다.
- <72> 도 2에는 리피터 회로(270, 280)가 두 개만 도시되어 있으나 이는 일 예에 불과하며 여러 개의 리피터 회로를 이용할 수 있다. 리피터 회로(270, 280)의 구조는 당업자라면 알 수 있으므로 상세한 설명은 생략한다.
- <73> TTL 레벨을 가지는 외부 클럭 신호(EXCLK)가 직접 지연 체인(241)으로 인가되어도 동작에 문제가 없는 이유는 지연 체인(241)의 지연 셀들이 작은 스윙폭을 가지는 차동 증폭기 형태의 아날로그 셀이기 때문이다. 지연 체인(241)의 지연 셀에 대하여 설명한다.
- <74> 도 3은 도 2의 지연 체인의 지연 셀을 설명하는 회로도이다.
- <75> 레벨 선택부의 출력(LVLOUT)과 그 반전 신호가 지연 셀(300)의 IN과 /IN으로 입력된다. IN으로 하이 레벨의 레벨 선택부 출력(LVLOUT)이 인가되고 /IN으로 로우 레벨의 레벨 선택부 출력(LVLOUT)이 인가된다고 가정한다.
- <76> 그러면 제 1 노드(N1)는 로우 레벨이 되고 제 2 노드(N2)는 하이 레벨이 된다. 제 1 노드(N1)의 로우 레벨은 제 3 트랜지스터(TR3)를 턴 오프 시키고 제 2 노드(N2)의 하이 레벨은

제 4 트랜지스터(TR4)를 턴 온 시킨다. 그러면 제 3 노드(N3)는 하이 레벨이 되고 제 4 노드(N4)는 로우 레벨이 된다. 제 3 노드(N3)와 제 4 노드(N4)의 논리 레벨이 다음 지연 셀(미도시)로 출력된다.

<77>      제 1 선택 신호(SEL\_F)가 하이 레벨이고 제 2 선택 신호(SEL\_S)가 로우 레벨이라고 가정 한다. 제 1 및 제 2 선택 신호(SEL\_F, SEL\_S)는 보간기(245)를 제어하는 신호들(ODD, EVEN)을 제어하는 신호이다.

<78>      제 1 선택 신호(SEL\_F)가 하이 레벨이면 제 5 트랜지스터(TR5) 및 제 6 트랜지스터(TR6)가 턴 온 되고 제 1 노드(N1)의 로우 레벨에 응답하여 제 7 트랜지스터(TR7)는 턴 오프 되고 제 2 노드(N2)의 하이 레벨에 응답하여 제 11 트랜지스터(TR11)는 턴 온 된다.

<79>      따라서 제 1 셀 출력 신호(OUT-F)는 하이 레벨로 출력되고 제 1 반전 셀 출력 신호(/OUT-F)는 로우 레벨로 출력된다. 제 2 선택 신호(SEL\_S)가 로우 레벨이면 제 8 트랜지스터(TR8) 및 제 9 트랜지스터(TR9)가 턴 오프 된다. 제 1 셀 출력 신호(OUT-F) 및 제 1 반전 셀 출력 신호(/OUT-F)는 보간기(245)를 제어하는 신호들(ODD, EVEN)로서 발생된다.

<80>      도 4는 도 2의 제어 신호 발생부의 다른 구조를 나타내는 도면이다.

<81>      도 2의 제어 신호 발생부(120)는 명령 신호들을 수신하여 제어 신호를 발생한다. 도 4의 제어 신호 발생부(400)는 본딩 와이어(WB)를 이용하여 제어 신호(CTRL)를 발생하는 구조이다.

<82>      도 4의 제어 신호 발생부(400)는 제 1 전압(VCC)에 연결되는 제 1 본딩 패드(BPAD1), 제 2 전압(GND)에 연결되는 제 2 본딩 패드(BPAD2) 및 제 1 본딩 패드(BPAD1) 또는 제 2 본딩 패드(BPAD2)에 본딩 와이어(WB)를 이용하여 연결되며 제어 신호(CTRL)를 발생하는 제 3 본딩 패드(BPAD3)를 구비한다. 인버터(410)는 제 3 본딩 패드(BPAD3)의 출력을 반전시켜 제어 신호

(CTRL)로서 발생한다. 인버터(410)는 제 3 본딩 패드(BPAD3)의 출력의 드라이빙 능력을 증가시키기 위한 것이다.

<83> 여기서 제 1 전압(VCC)은 전원 전압이며 제 2 전압(GND)은 그라운드를 의미한다. 만일 본딩 와이어(WB)가 제 1 본딩 패드(BPAD1)와 제 3 본딩 패드(BPAD3)를 연결하면 제어 신호(CTRL)는 로우 레벨로 발생되어 제 2 전송 게이트(TG2)를 턴 온 시킨다. 따라서 외부 클럭 신호(EXCLK)는 클럭 버퍼부(220)에 의하여 CMOS 레벨로 증폭되어 지연 체인(241)으로 인가된다.

<84> 반대로 본딩 와이어(WB)가 제 2 본딩 패드(BPAD2)와 제 3 본딩 패드(BPAD3)를 연결하면 제어 신호(CTRL)는 하이 레벨로 발생되어 제 1 전송 게이트(TG1)를 턴 온 시킨다. 따라서 외부 클럭 신호(EXCLK)는 TTL 레벨 인 채로 지연 체인(241)으로 인가된다.

<85> 본딩 와이어(WB)를 어떻게 연결할 것인가는 지연 동기 루프(200)의 제작 공정 중에 사용자가 결정한다. 따라서 일단 결정되어 본딩 패드들이 연결되면 다시 변경할 수 없다.

<86> 도 5(A)는 도 2의 제어 신호 발생부의 또 다른 구조를 나타내는 도면이다.

<87> 도 5(B)는 파워 업 신호의 파형을 나타내는 도면이다.

<88> 도 5(A)의 제어 신호 발생부(500)는 퓨즈를 이용하여 제어 신호(CTRL)를 발생하는 구조이다. 제어 신호 발생부(500)는 제 1 전압(VCC)에 제 1단이 연결되고 게이트에 파워 업 신호(VCCH)가 인가되면 제 2단이 제 1 노드(N1)에 연결되는 제 1 트랜지스터(CTR1), 제 1단이 퓨즈(LF)를 통하여 제 1 노드(N1)에 연결되고 게이트에 파워 업 신호(VCCH)가 인가되면 제 2단이 제 2 전압(GND)에 연결되는 제 2 트랜지스터(CTR2), 제 1 전압(VCC)에 제 1단이 연결되고 제 1 노드(N1)에 제 2단이 연결되며 게이트가 제 2 노드(N2)에 연결되는 제 3 트랜지스터(CTR3), 제 1 노드(N1)에 입력 단이 연결되며 제 2 노드(N2)에 출력 단이 연결되는 제 1 인버터(INV1) 및

제 2 노드(N2)의 출력을 반전하여 제어 신호(CTRL)로서 출력하는 제 2 인버터(INV2)를 구비한다.

<89>      도 5(B)를 참조하면, 파워 업 신호(VCCH)는 처음 일정 시간동안(T1~ T2)은 제 2 레벨로 발생되다가 일정 시간 후에는 제 1 레벨로 발생되는 신호이다. 즉, 처음 전원이 턴 온 되면 파워 업 신호(VCCH)는 로우 레벨로 발생되다가 T2 시간 후에 하이 레벨로 발생된다.

<90>      파워 업 신호(VCCH)가 처음 로우 레벨로 발생되면 제 1 트랜지스터(CTR1)는 턴 온 되고 제 2 트랜지스터(CTR2)는 턴 오프 된다. 그러면 제 1 노드(N1)는 하이 레벨이 되고 제 2 노드(N2)는 로우 레벨이 된다.

<91>      제어 신호(CTRL)는 하이 레벨로 발생되고 제 3 트랜지스터(CTR3)가 턴 온 되어 제 1 노드(N1)를 계속하여 하이 레벨로 유지시킨다. T2 시간 후에 파워 업 신호(VCCH)가 하이 레벨로 발생되면 제 1 트랜지스터(CTR1)는 턴 오프 되고 제 2 트랜지스터(CTR2)는 턴 온 된다.

<92>      그러면 제 1 노드(N1)는 로우 레벨이 되고 제 2 노드(N2)는 하이 레벨이 된다. 따라서 제어 신호(CTRL)는 로우 레벨로 발생된다. 처음에 파워 업 신호(VCCH)가 로우 레벨로 발생된 후 퓨즈(LF)를 끊으면 파워 업 신호(VCCH)가 하이 레벨로 전환되어도 제어 신호(CTRL)는 계속하여 하이 레벨로 유지된다.

<93>      즉, 퓨즈(LF)를 연결한 상태에서는 제어 신호(CTRL)는 초기의 짧은 시간동안(T1~ T2)만 하이 레벨로 발생되다가 T2 시간 후에는 로우 레벨로 계속 발생되지만 퓨즈(LF)를 끊은 상태에서는 제어 신호(CTRL)는 계속 하이 레벨로 유지된다.

- <94> 외부 클럭 신호(EXCLK)를 지연 체인(241)으로 직접 인가하기 위해서는 퓨즈(LF)를 끊어야 하며 외부 클럭 신호(EXCLK)를 CMOS 레벨로 증폭하여 지연 체인(241)으로 인가하기 위해서는 퓨즈(LF)를 계속 연결해 놓아야 한다. 퓨즈(LF)는 레이저(laser) 퓨즈일 수 있다.
- <95> 도 2의 제어 신호 발생부(120)는 명령 신호들을 수신하여 MRS 신호를 제어 신호(CTRL)로서 발생할 수도 있고, 도 4와 같이 본딩 와이어(WB)를 이용하여 제어 신호(CTRL)를 발생할 수도 있으며 도 5와 같이 퓨즈(LF)를 이용하여 제어 신호(CTRL)를 발생할 수도 있다.
- <96> 도 6은 본 발명의 실시예에 따른 지연 동기 루프를 나타내는 블록도이다.
- <97> 도 6을 참조하면, 본 발명의 실시예에 따른 지연 동기 루프(600)는 레벨 선택부(610) 및 내부 클럭 신호 발생부(620)를 구비한다. 레벨 선택부(610)는 외부 클럭 신호(EXCLK)를 수신하고 외부 클럭 신호(EXCLK)를 그대로 출력하거나 또는 외부 클럭 신호(EXCLK)의 레벨을 변화시켜 변환 외부 클럭 신호(CHEXCLK)로서 출력한다.
- <98> 좀 더 설명하면, 레벨 선택부(610)는 외부 클럭 신호(EXCLK)를 수신하여 변환 외부 클럭 신호(CHEXCLK)를 출력하는 클럭 버퍼부(630), 외부 클럭 신호(EXCLK)를 내부 클럭 신호 발생부(620)로 직접 인가하는 제 1 메탈 라인(MTL1) 및 외부 클럭 신호(EXCLK)를 클럭 버퍼부(630)로 인가하는 제 2 메탈 라인(MTL2)을 구비하고, 공정 초기단계에서 제 1 메탈 라인(MTL1) 및 제 2 메탈 라인(MTL2) 중 하나만 연결되고 나머지 하나는 끊어진다.
- <99> 도 2의 레벨 선택부(610)의 지연 동기 루프(200)는 제어 신호(CTRL)에 응답하여 외부 클럭 신호(EXCLK)를 지연 체인(241)으로 전송한다. 그러나 도 6의 레벨 선택부(610)는 제어 신호(CTRL)를 수신하지 않는다.

- <100> 지연 동기 루프(600)의 제작시에 외부 클럭 신호(EXCLK)를 직접 내부 클럭 신호 발생부(620)의 지연 체인(미도시)으로 인가할 것인지 외부 클럭 신호(EXCLK)를 CMOS 레벨로 증폭하여 지연 체인(미도시)으로 인가할 것인지가 결정된다.
- <101> 외부 클럭 신호(EXCLK)를 직접 내부 클럭 신호 발생부(620)로 인가하려면 공정 초기단계에서 제 2 메탈 라인(MTL2)을 끊고 제 1 메탈 라인(MTL1)을 연결한다. 반대로 외부 클럭 신호(EXCLK)를 CMOS 레벨로 증폭하여 지연 체인(미도시)으로 인가하려면 제 1 메탈 라인(MTL1)을 끊고 제 2 메탈 라인(MTL2)을 연결한다.
- <102> 도 6에는 이해를 돋기 위하여 스위치가 표시되어 있지만 실제로는 공정 초기단계에서 하나의 메탈 라인은 끊어지고 다른 하나의 메탈 라인은 연결된 상태이다.
- <103> 내부 클럭 신호 발생부(620)는 도 2의 내부 클럭 신호 발생부(130)의 구조와 동일하므로 상세한 설명은 생략한다. 또한 리피터 회로들(640, 650)의 기능도 도 2의 리피터 회로들(270, 280)과 동일하므로 상세한 설명은 생략한다.
- <104> 도 7은 본 발명의 다른 실시예에 따른 지연 동기 루프를 나타내는 블록도이다.
- <105> 도 7을 참조하면, 레벨 선택부(710)는 외부 클럭 신호(EXCLK)를 수신하여 변환 외부 클럭 신호(CHEXCLK)를 출력하는 클럭 버퍼부(730), 외부 클럭 신호(EXCLK)를 수신하는 제 1 패드(BP1), 외부 클럭 신호(EXCLK)를 수신하는 제 2 패드(BP2), 제 1 패드(BP1)에 대응되며 내부 클럭 신호 발생부(720)에 연결되는 제 3 패드(BP3) 및 제 2 패드(BP2)에 대응되며 클럭 버퍼부(730)에 연결되는 제 4 패드(BP4)를 구비하고, 공정 초기 단계에서 제 1 패드(BP1)와 제 3 패드(BP3) 및 제 2 패드(BP2)와 제 4 패드(BP4) 중 한 쌍이 본딩 와이어에 의해서 연결된다.

- <106>        도 7의 레벨 선택부(710)는 도 6의 레벨 선택부(610)와 마찬가지로 제어 신호(CTRL)를 수신하지 않는다. 지역 동기 루프(700)의 제작시에 외부 클럭 신호(EXCLK)를 직접 내부 클럭 신호 발생부(720)의 지역 체인(미도시)으로 인가할 것인지 외부 클럭 신호(EXCLK)를 CMOS 레벨로 증폭하여 지역 체인(미도시)으로 인가할 것인지가 결정된다.
- <107>        외부 클럭 신호(EXCLK)를 직접 내부 클럭 신호 발생부(720)로 인가하려면 공정 초기단계에서 본딩 와이어(WB)를 이용하여 제 1 패드(BP1)와 제 3 패드(BP3)를 연결하고 제 2 패드(BP2)와 제 4 패드(BP4)를 끊는다. 반대로 외부 클럭 신호(EXCLK)를 CMOS 레벨로 증폭하여 지역 체인(미도시)으로 인가하려면 제 1 패드(BP1)와 제 3 패드(BP3)를 끊고 제 2 패드(BP2)와 제 4 패드(BP4)를 연결한다.
- <108>        내부 클럭 신호 발생부(720)는 도 2의 내부 클럭 신호 발생부(130)의 구조와 동일하므로 상세한 설명은 생략한다. 또한 리피터 회로들(740, 750)의 기능도 도 2의 리피터 회로들(270, 280)과 동일하므로 상세한 설명은 생략한다.
- <109>        또한 도면에 의하여 도시되지는 아니하였으나, 본딩 와이어(WB) 대신 제 1 패드와 제 3 패드(BP3)사이나 제 2 패드(BP2)와 제 4 패드(BP4) 사이를 퓨즈에 의하여 연결할 수 도 있다. 공정 초기 단계에서 제 1 패드(BP1)와 제 3 패드(BP3) 및 제 2 패드(BP2)와 제 4 패드(BP4) 중 하나의 퓨즈의 연결을 끊으면 도 7의 본딩 와이어(WB)를 이용한 것과 동일한 효과를 발생할 수 있다.
- <110>        도 8은 본 발명의 또 다른 실시예에 따른 지역 동기 루프를 나타내는 블록도이다.
- <111>        도 8을 참조하면, 본 발명의 실시예에 따른 지역 동기 루프(800)는 위상 제어부(미도시), 궤환부(미도시) 및 위상 제어 신호 발생부(미도시)를 구비한다. 위상 제어부(

미도시), 케환부(미도시) 및 위상 제어 신호 발생부(미도시)는 내부 클럭 신호 발생부(810)의 구성요소들이다.

<112> 위상 제어부(미도시), 케환부(미도시) 및 위상 제어 신호 발생부(미도시)는 도 2의 그것들과 동일한 구조를 가지므로 상세한 설명은 생략한다.

<113> 앞의 실시예들에 따른 지연 동기 루프는 외부 클럭 신호(EXCLK)를 직접 수신하거나 또는 외부 클럭 신호(EXCLK)가 CMOS 레벨로 증폭된 신호를 수신하는 동작을 선택적으로 할 수 있다. 그러나 도 8의 내부 클럭 신호 발생부(810)의 위상 제어부(미도시)는 외부 클럭 신호(EXCLK)를 외부로부터 직접 수신한다.

<114> 즉, TTL 레벨의 외부 클럭 신호(EXCLK)가 직접 지연 체인(미도시)으로 인가되는 것이다. 리피터 회로들(820, 830)의 기능은 앞의 실시예에서 설명된 것과 동일하므로 여기서는 상세한 설명을 생략한다.

<115> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 【발명의 효과】

<116> 상술한 바와 같이 본 발명에 따른 지연 동기 루프는 외부 클럭 신호를 직접 수신하여 동작되는 경우 클럭 동기 속도를 빠르게 할 수 있으며 전류 소비도 줄일 수 있는 장점이 있다.

1020030023352

출력 일자: 2003/10/23

또한 외부 클럭 신호를 직접 수신하거나 증폭시켜 수신하는 동작을 선택적으로 할 수 있으므로  
지연 동기 루프가 다양한 어플리케이션에 적용될 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

외부 클럭 신호를 수신하고 제어 신호에 응답하여 상기 외부 클럭 신호를 그대로 출력하거나 또는 상기 외부 클럭 신호의 레벨을 변화시켜 변환 외부 클럭 신호로서 출력하는 레벨 선택부 ;

상기 제어 신호를 발생하는 제어 신호 발생부 ; 및

상기 레벨 선택부의 출력 및 상기 외부 클럭 신호를 수신하여 상기 레벨 선택부의 출력의 위상에 동기된 내부 클럭 신호를 발생하는 내부 클럭 신호 발생부를 구비하는 것을 특징으로 하는 자연 동기 루프(DLL :Delay Locked Loop).

**【청구항 2】**

제 1항에 있어서, 상기 레벨 선택부는,

상기 제어 신호에 응답하여 상기 외부 클럭 신호를 직접 상기 내부 클럭 신호 발생부로 인가하거나 또는 상기 외부 클럭 신호를 레벨 제어 신호로서 출력하는 선택 제어부 ; 및  
상기 레벨 제어 신호에 응답하여 상기 변환 외부 클럭 신호를 발생하는 클럭 버퍼부를 구비하는 것을 특징으로 하는 자연 동기 루프.

**【청구항 3】**

제 2항에 있어서, 상기 선택 제어부는,

상기 제어 신호의 제 1 레벨에 응답하여 상기 외부 클럭 신호를 상기 내부 클럭 신호 발생부로 직접 인가하는 제 1 전송 게이트 ;

상기 제어 신호의 제 2 레벨에 응답하여 상기 외부 클럭 신호를 상기 레벨 제어 신호로서 출력하는 제 2 전송 게이트 ; 및

상기 제어 신호의 논리 레벨을 반전하여 상기 제 1 및 제 2 전송 게이트로 인가하는 인버터를 구비하는 것을 특징으로 하는 지연 동기 루프.

#### 【청구항 4】

제 2항에 있어서, 상기 클럭 버퍼부는,

상기 레벨 제어 신호의 레벨을 CMOS 레벨로 증폭시키는 것을 특징으로 하는 지연 동기 루프.

#### 【청구항 5】

제 1항에 있어서, 상기 제어 신호 발생부는,

명령 신호(command signal)들에 응답하여 상기 제어 신호를 발생하는 것을 특징으로 하는 지연 동기 루프.

#### 【청구항 6】

제 1항에 있어서, 상기 제어 신호는,

MRS(Mode Register Set) 신호인 것을 특징으로 하는 지연 동기 루프.

#### 【청구항 7】

제 1항에 있어서, 상기 제어 신호 발생부는,

제 1 전압에 연결되는 제 1 본딩 패드 ;

제 2 전압에 연결되는 제 2 본딩 패드 ; 및

상기 제 1 본딩 패드 또는 상기 제 2 본딩 패드에 본딩 와이어를 이용하여 연결되며 상기 제어 신호를 발생하는 제 3 본딩 패드를 구비하는 것을 특징으로 하는 지연 동기 루프.

### 【청구항 8】

제 1항에 있어서, 상기 제어 신호 발생부는,

제 1 전압에 제 1단이 연결되고 게이트에 파워 업 신호가 인가되며 제 2단이 제 1 노드에 연결되는 제 1 트랜지스터 ;

제 1단이 퓨즈를 통하여 상기 제 1 노드에 연결되고 게이트에 상기 파워 업 신호가 인가되며 제 2단이 제 2 전압에 연결되는 제 2 트랜지스터 ;

상기 제 1 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트가 제 2 노드에 연결되는 제 3 트랜지스터 ;

상기 제 1 노드에 입력 단이 연결되며 상기 제 2 노드에 출력 단이 연결되는 제 1 인버터 ; 및

상기 제 2 노드의 출력을 반전하여 상기 제어 신호로서 출력하는 제 2 인버터를 구비하는 것을 특징으로 하는 지연 동기 루프.

### 【청구항 9】

제 8항에 있어서, 상기 퓨즈는,

레이저(laser) 퓨즈인 것을 특징으로 하는 지연 동기 루프.

**【청구항 10】**

제 8항에 있어서, 상기 파워 업 신호는,

처음 일정 시간동안은 제 2 레벨로 발생되다가 일정 시간 후에는 제 1 레벨로 발생되는 신호인 것을 특징으로 하는 자연 동기 루프.

**【청구항 11】**

제 1항에 있어서, 상기 외부 클럭 신호는,

TTL(Transistor-Transistor Logic) 레벨을 가지는 것을 특징으로 하는 자연 동기 루프.

**【청구항 12】**

제 1항에 있어서, 상기 내부 클럭 신호 발생부는,

소정의 제 1 및 제 2 위상 제어 신호에 응답하여 상기 레벨 선택부의 출력을 상기 내부 클럭 신호로서 출력하는 위상 제어부 ;

상기 내부 클럭 신호의 위상을 상기 외부 클럭 신호의 위상과 비교하여 업다운 신호 및 모드 신호를 발생하는 궤환부 ; 및

상기 모드 신호 및 상기 업다운 신호에 응답하여 상기 레벨 선택부의 출력의 위상을 제어하기 위한 상기 제 1 및 제 2 위상 제어 신호를 발생하는 위상 제어 신호 발생부를 구비하고,

상기 위상 제어부는 상기 레벨 선택부의 출력을 수신하는 자연 체인을 구비하는 것을 특징으로 하는 자연 동기 루프.

**【청구항 13】**

제 12항에 있어서, 상기 지연 체인은,  
작은 스윙(swing) 폭을 가지는 차동 증폭기 형태의 아날로그 지연 셀들을 구비하는 것을  
특징으로 하는 지연 동기 루프.

**【청구항 14】**

제 1항에 있어서, 상기 레벨 선택부는,  
소정의 리피터(repeater) 회로를 통하여 상기 외부 클럭 신호를 수신하는 것을 특징으로  
하는 지연 동기 루프.

**【청구항 15】**

외부 클럭 신호를 수신하고 상기 외부 클럭 신호를 그대로 출력하거나 또는 상기 외부  
클럭 신호의 레벨을 변화시켜 변환 외부 클럭 신호로서 출력하는 레벨 선택부 ; 및  
상기 레벨 선택부의 출력 및 상기 외부 클럭 신호를 수신하여 상기 레벨 선택부의 출력  
의 위상에 동기된 내부 클럭 신호를 발생하는 내부 클럭 신호 발생부를 구비하는 것을 특징으  
로 하는 지연 동기 루프(DLL :Delay Locked Loop).

**【청구항 16】**

제 15에 있어서, 상기 레벨 선택부는,  
상기 외부 클럭 신호를 수신하여 상기 변환 외부 클럭 신호를 출력하는 클럭 버퍼부 ;  
상기 외부 클럭 신호를 상기 내부 클럭 신호 발생부로 직접 인가하는 제 1 메탈 라인 ;  
및

상기 외부 클럭 신호를 상기 클럭 버퍼부로 인가하는 제 2 메탈 라인을 구비하고,  
공정 초기단계에서 상기 제 1 메탈 라인 및 상기 제 2 메탈 라인 중 하나만 연결되고 나  
머지 하나는 끊어지는 것을 특징으로 하는 지연 동기 루프.

#### 【청구항 17】

제 15항에 있어서, 상기 레벨 선택부는,  
상기 외부 클럭 신호를 수신하여 상기 변환 외부 클럭 신호를 출력하는 클럭 버퍼부 ;  
상기 외부 클럭 신호를 수신하는 제 1 패드 ;  
상기 외부 클럭 신호를 수신하는 제 2 패드 ;  
상기 제 1 패드에 대응되며 상기 내부 클럭 신호 발생부에 연결되는 제 3 패드 ; 및  
상기 제 2 패드에 대응되며 상기 클럭 버퍼부에 연결되는 제 4 패드를 구비하고,  
공정 초기 단계에서 상기 제 1 패드와 상기 제 3 패드 및 상기 제 2 패드와 상기 제 4  
패드 중 한 쌍이 본딩 와이어에 의해서 연결되는 것을 특징으로 하는 지연 동기 루프.

#### 【청구항 18】

제 16항 및 제 17항에 있어서, 상기 클럭 버퍼부는,  
입력되는 신호의 레벨을 CMOS 레벨로 증폭시키는 것을 특징으로 하는 지연 동기 루프.

#### 【청구항 19】

제 17항에 있어서,  
상기 제 1 패드와 상기 제 3 패드, 상기 제 2 패드와 상기 제 4 패드는 퓨즈에 의하여  
연결되고,

공정 초기 단계에서 상기 제 1 패드와 상기 제 3 패드 및 상기 제 2 패드와 상기 제 4 패드 중 하나는 연결이 끊어지는 것을 특징으로 하는 지연 동기 루프.

### 【청구항 20】

제 19항에 있어서, 상기 퓨즈는,

레이저(laser) 퓨즈인 것을 특징으로 하는 지연 동기 루프.

### 【청구항 21】

제 15항에 있어서, 상기 외부 클럭 신호는,

TTL(Transistor-Transistor Logic) 레벨을 가지는 것을 특징으로 하는 지연 동기 루프.

### 【청구항 22】

제 15항에 있어서, 상기 내부 클럭 신호 발생부는,

소정의 제 1 및 제 2 위상 제어 신호에 응답하여 상기 레벨 선택부의 출력을 상기 내부 클럭 신호로서 출력하는 위상 제어부 ;

상기 내부 클럭 신호의 위상을 상기 외부 클럭 신호의 위상과 비교하여 업다운 신호 및 모드 신호를 발생하는 궤환부 ; 및

상기 모드 신호 및 상기 업다운 신호에 응답하여 상기 레벨 선택부의 출력의 위상을 제어하기 위한 상기 제 1 및 제 2 위상 제어 신호를 발생하는 위상 제어 신호 발생부를 구비하고,

상기 위상 제어부는 상기 레벨 선택부의 출력을 수신하는 지연 체인을 구비하는 것을 특징으로 하는 지연 동기 루프.

**【청구항 23】**

제 22항에 있어서, 상기 지연 체인은,  
작은 스윙(swing) 폭을 가지는 차동 증폭기 형태의 아날로그 지연 셀들을 구비하는 것을  
특징으로 하는 지연 동기 루프.

**【청구항 24】**

제 15항에 있어서, 상기 레벨 선택부는,  
소정의 리피터(repeater) 회로를 통하여 상기 외부 클럭 신호를 수신하는 것을 특징으로  
하는 지연 동기 루프.

**【청구항 25】**

소정의 제 1 및 제 2 위상 제어 신호에 응답하여 외부 클럭 신호의 위상을 제어하여 내  
부 클럭 신호로서 출력하는 위상 제어부 ;

상기 내부 클럭 신호의 위상을 상기 외부 클럭 신호의 위상과 비교하여 업다운 신호 및  
모드 신호를 발생하는 궤환부 ; 및

상기 모드 신호 및 상기 업다운 신호에 응답하여 상기 외부 클럭 신호의 위상을 제어하  
기 위한 상기 제 1 및 제 2 위상 제어 신호를 발생하는 위상 제어 신호 발생부를 구비하고,

상기 위상 제어부는 상기 외부 클럭 신호를 수신하는 지연 체인을 구비하며,

상기 외부 클럭 신호는,

외부로부터 상기 위상 제어부로 직접 인가되는 것을 특징으로 하는 지연 동기 루프.

**【청구항 26】**

제 25항에 있어서, 상기 지연 체인은,  
작은 스윙(swing) 폭을 가지는 차동 증폭기 형태의 아날로그 지연 셀들을 구비하는 것을  
특징으로 하는 지연 동기 루프.

**【청구항 27】**

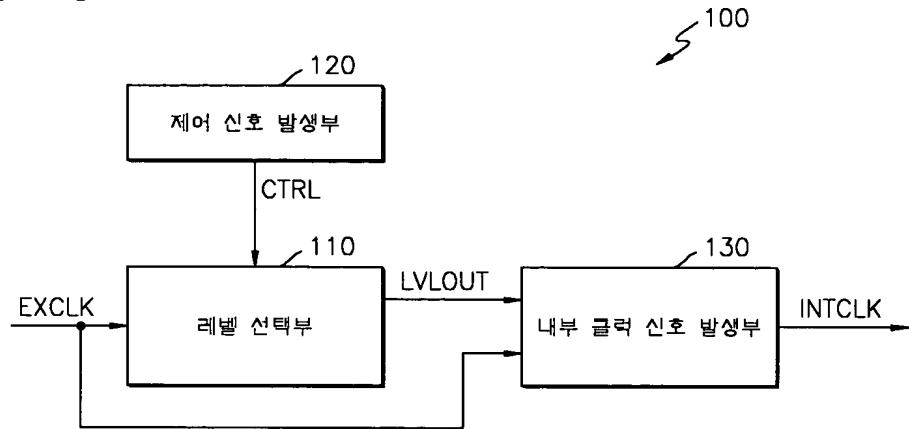
제 25항에 있어서, 상기 위상 제어부는,  
소정의 리피터(repeater) 회로를 통하여 상기 외부 클럭 신호를 수신하는 것을 특징으로  
하는 지연 동기 루프.

**【청구항 28】**

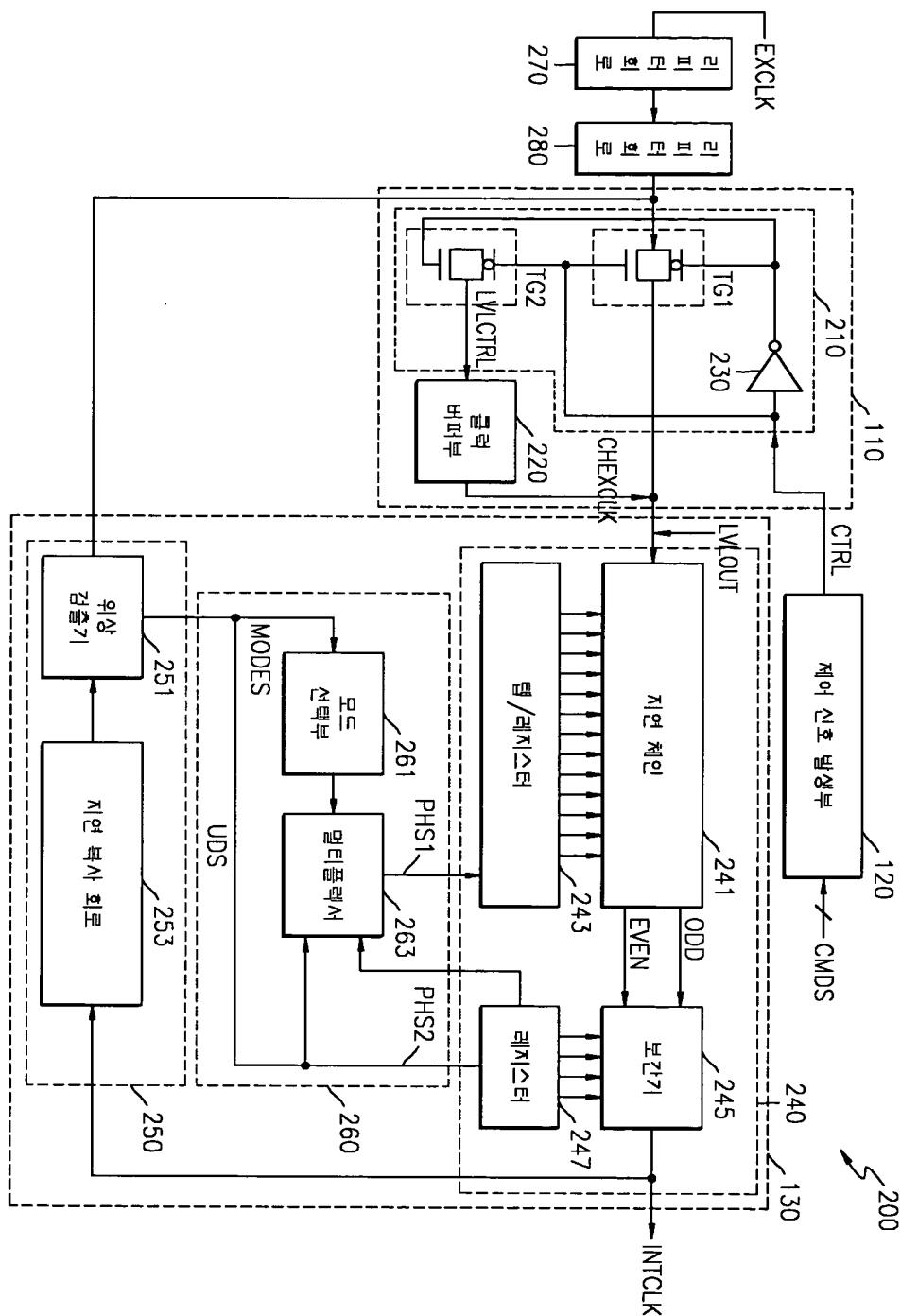
제 25항에 있어서, 상기 외부 클럭 신호는,  
TTL(Transistor-Transistor Logic) 레벨을 가지는 것을 특징으로 하는 지연 동기 루프.

## 【도면】

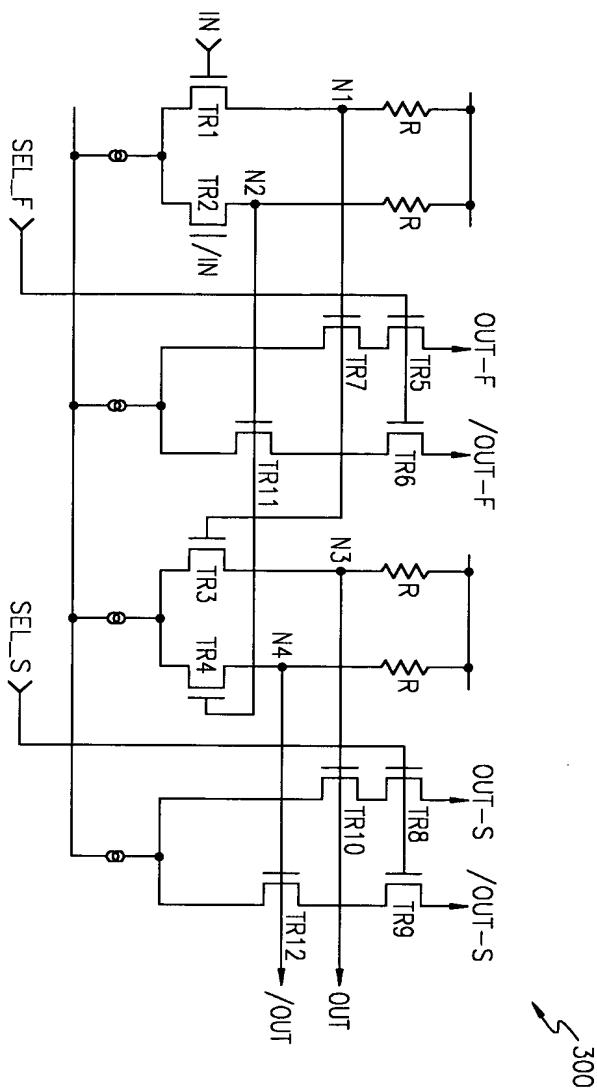
【도 1】



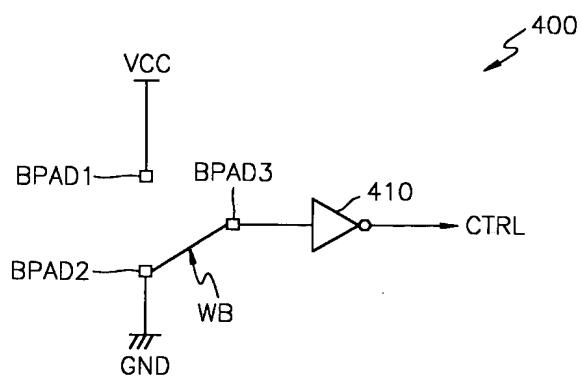
【도 2】



【도 3】



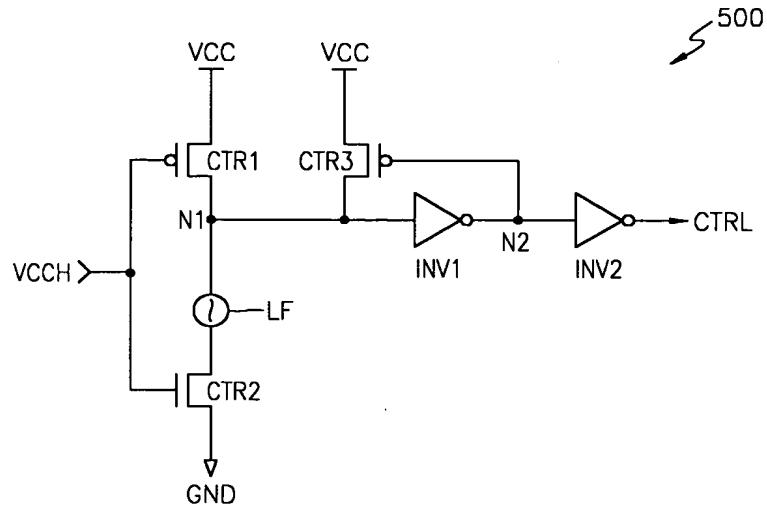
【도 4】



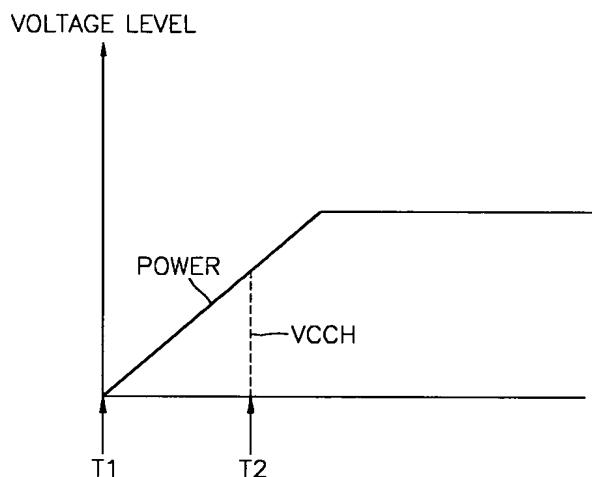
1020030023352

출력 일자: 2003/10/23

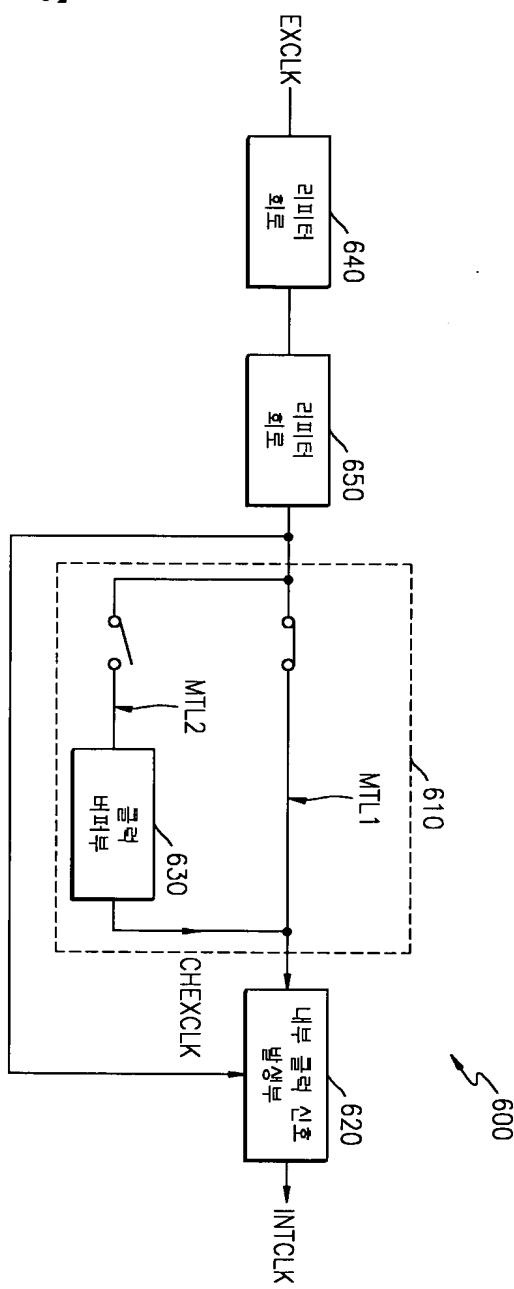
【도 5a】



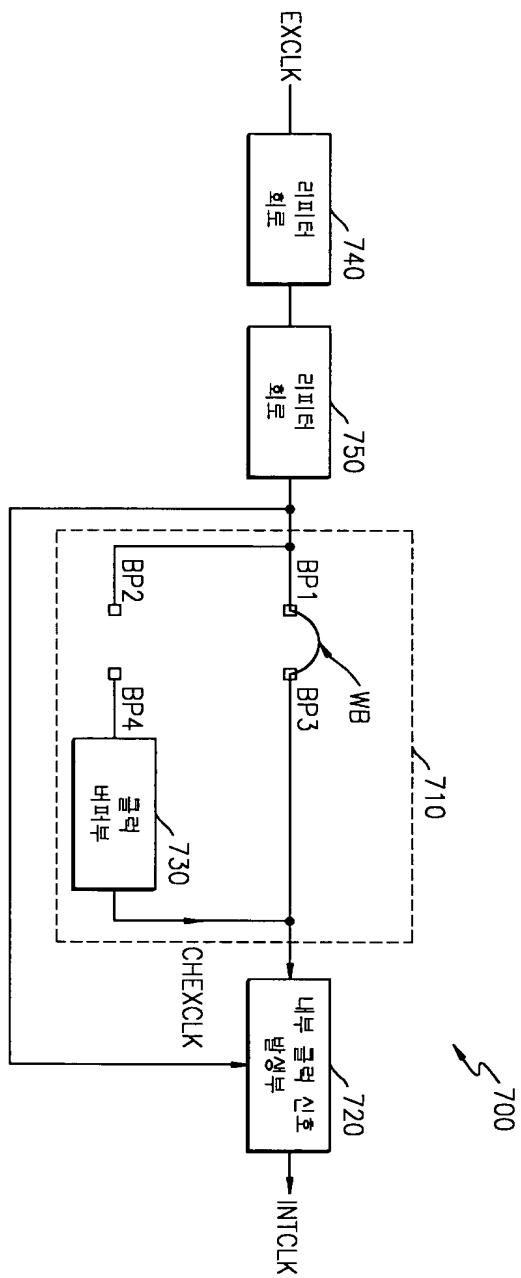
【도 5b】



【도 6】



【도 7】



【도 8】

